

# 并联 DC/DC 系统中高速无线通信接收装置的设计

汪 涛, 刘 升, 葛 芦 生

(安徽工业大学电气与信息工程学院, 马鞍山 243000)

**摘要:**为了解决并联 DC/DC 控制系统中信息高频、单次传输量小的问题,就目前基带处理平台功能单一、灵活性差、运算效率低等问题,提出了一种改进型基带处理方案。该方案以 FPGA+DSP 为处理架构,依托高性能器件和高速接口搭建了基带处理平台。分别从基带处理和射频前端两个方面对无线通信系统接收装置进行硬件设计,重点研究基带处理 DSP 与 FPGA 的接口设计和零中频架构射频前端,通过 FPGA 对本地振荡器、A/D 进行动态配置,采用基于 BPSK 的软件无线电平台,通过编写程序进行测试,结果验证了该方案满足科研要求,且具有一定的通用性和灵活性。

**关键词:** 并联 DC/DC; 现场可编程门阵列; 零中频架构; DSP; 基带处理

## Design of High-speed Wireless Communication Receiver in Parallel DC/DC System

WANG Tao, LIU Sheng, GE Lusheng

(School of Electrical and Information Engineering, Anhui University of Technology, Maanshan 243000, China)

**Abstract:** To solve the problems of high-frequency information and small amount of one single transmission in a parallel DC/DC control system, and considering the problems (e.g., simple function, poor flexibility, and low computation efficiency) in the baseband processing platform at present, an improved baseband processing scheme was proposed. This scheme adopts FPGA+DSP as the processing architecture, and a baseband processing platform was built based on high-performance devices and high-speed interfaces. The hardware of the wireless communication receiver was designed from two aspects, i.e., baseband processing and radio frequency (RF) front-end, focusing on the study of interface design of baseband processing DSP and FPGA, as well as the zero-IF architecture RF front-end. Moreover, a dynamic configuration of local oscillators and A/D was realized through FPGA. A software radio platform was used based on BPSK, and programs were written to test the proposed scheme, which verified that the proposed scheme met the requirements of research, and it also had a certain generality and flexibility.

**Keywords:** parallel DC/DC; FPGA; zero-IF architecture; DSP; baseband processing

DC 电源已广泛应用了分布式电源系统代替集中式电源,用小功率 DC-DC 变换器并联,以满足大功率负载要求<sup>[1]</sup>。随着并联 DC/DC 分布式电源系统研究的深入,一些先进的通信手段被用于电力电子系统中,无线通信作为未来通信的主流,DC/DC 采

用无线通信技术能够减少复杂的物理连线,拓展分布式电源系统的适用范围和简易系统的维护等。

将无线通信技术应用用于 DC/DC 并联电源控制系统中,则设计一个高速基带信号处理无线收发硬件平台<sup>[2]</sup>尤为重要。目前基带信号处理作为软件无线电的关键技术之一备受青睐,国内外常采用单个处理器,如 DSP、ASIC、FPGA 等来处理基带信号;单个处理器均无法较好地满足软件无线电对高速基带处理平台的要求。因此,本文设计一种基于

收稿日期: 2016-04-02; 修回日期: 2017-10-14

基金项目: 国家自然科学基金资助项目(51277003)

Project Supported by National Natural Science Foundation of China(51277003)

DSP+FPGA 架构的基带信号处理平台。相比单个处理器,此硬件平台可以充分结合 DSP 与 FPGA 各自的优点,更好地发挥整体性能。

### 1 系统硬件平台设计

#### 1.1 系统方案

针对 DC/DC 并联电源控制系统单次数据传输量小、信息高频的特点,本文设计以 FPGA+DSP 架构为核心,依托于高性能器件和高速接口搭建一个高速基带信号处理硬件平台。该平台具有灵活的处理结构,对不同结构的算法都有较强的适应能力,尤其适合实时信号的处理。基于 DSP+FPGA 架构的无线通信硬件平台整体结构如图 1 所示。

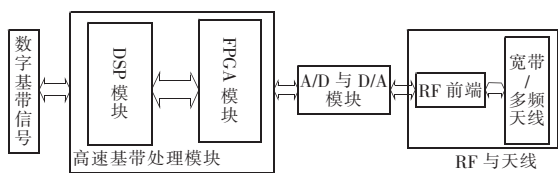


图 1 无线传输硬件平台整体结构

Fig.1 Overall structure of wireless transmission hardware platform

整体数字信号传输主要经基带信号处理、数模/模数转换、射频(RF)前端及智能天线收发。基带处理模块实现信号高速传输的正确收发、存储及实时处理,射频前端模拟正交上/下变频将基带信号调至工作频段。基带信号处理主要由 DSP 与 FPGA 来完成,而射频处理由射频前端电路来实现。

#### 1.2 信号传输处理过程

由图 1 可知,无线数据传输硬件平台包括发射和接收两部分,本文主要研究接收装置部分,其系统架构如图 2 所示。

图 2 中,FPGA 芯片完成基带信号处理及与射频前端衔接,完成数字下变频和数据预处理任务,还需完成对高速数据的接收、缓存以及配置控制的功能。此接收装置经智能天线接收到信号进入射频前端模拟正交下变频模块处理后送至 A/D 模块,FPGA 通过高速接口接收 A/D 转化后的数据,先对数据进行数字下变频到基带,包括 NCO、滤波、抽取

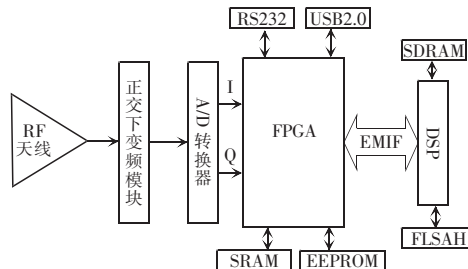


图 2 接收装置系统架构流程

Fig.2 Flow chart of the receiver's system architecture

等;再根据需要对基带数据进行预处理,如信号同步、解调、解帧等;最后通过并行输出至 PC 机显示控制界面。发射装置工作原理与其相反,不再赘述。

### 2 硬件模块选择及接口设计

#### 2.1 主要器件的选型

本系统高速的信号处理能力取决于信号处理各模块的选型。①DSP 采用 TI 公司的 TMS320C6713 芯片,它是一款高性能浮点型芯片,主频达 300 MHz,最高运行速度可达 2 400 MIPS,且采用超长指令字结构,具有出色的运算能力、高效的指令集、智能外设、大容量的存储空间及大范围的寻址能力,专门面向复杂数据处理。②FPGA 选用 ALTERA 公司的 Stratix II 系列芯片 EP2S90F1020I4,该芯片拥有丰富的 I/O 引脚资源,方便与外围器件进行连接,门数资源也相当丰富,可以满足目前绝对大多数的信号处理硬件编程和控制能力。③AD 采用 Analog Device 公司的 AD9233 芯片,它是一款单芯片,12 位采样精度,125MSPS 模数转换器(ADC),最高采样率可达 125 MHz,模拟带宽最高可达 650 MHz,可以做射频直接带通采样。④正交下变频模块选用 ADI 公司的 AD8347 芯片,它是一款单芯片、宽带 800 MHz 至 2.7 GHz 正交解调器。

#### 2.2 基带处理模块接口设计

基带信号处理是由 FPGA 和 DSP 完成的。由图 2 可知,DSP 芯片依靠 EMIF 接口与 FPGA 相连。在 TMS320 系列 DSP 上具有一种高速的接口 EMIF,其设计是为了实现 DSP 与外部扩展存储器进行高速连接。本系统通过 EMIF 接口与 FPGA 相接,经

FPGA 与其他外部设备相连,使 FPGA 变成中转站,其他数据处理芯片可以通过 FPGA 将信号传输至 DSP。DSP 芯片只要通过 EMIF 接口就能实现对复杂系统的控制。DSP 与 FPGA 接口连接如图 3 所示。

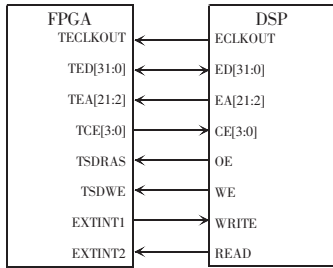


图 3 DSP 与 FPGA 的接口连线

Fig.3 Connections at the interface between DSP and FPGA

图 3 中,DSP 通过 32 位数据总线 ED[31;0]、20 位地址总线 EA[21:2]及控制线 CE[3:0]与 FPGA 相连。另外,DSP 还有 2 根读、写信号线。DSP 的读入/写出采用中断方式控制,当 FPGA 开始写出数据后,向 DSP 发送读中断请求,DSP 响应中断读取数据。而当 DSP 要开始写出数据时,向 FPGA 发送接受中断请求,将处理好的数据放在总线上,等待 FPGA 的读入。

### 2.3 FPGA 与射频前端接口设计

目前常见的 RF 前端架构有超外差架构和零中频架构,本设计采用的零中频架构<sup>[3]</sup>(直接下变频架构)是由 RF 直接变成基带,而不经过中频的架构。接收装置 RF 前端完成主要功能有滤波,功率放大,正交下变频,I/Q 解调,其结构框图如图 4 所示。来自智能天线的 RF 信号,经 RF 带通滤波器选择出有用信号后送入 LNA 放大,然后送入正交混频器,与可调频率的两路本振信号混频,直接产生正交(I)、同相(Q)两路信号输出,并分别经过低通滤波后送到 ADC,然后通过 A/D 转换后送至高速基带处理模块。

以产生 1 575 MHz 波段为例,接收装置射频前端电路本文采用 1 575 MHz 无源发射接收智能天线(内含带通滤波器)、AD9233(双通道 12 位 AD 芯片)、AD8347(正交下变频芯片)、SI4133(本地振荡器芯片)和 HMC476SC70(低噪声放大器 LNA)等器

件。FPGA 通过 SPI 接口配置 SI4133,则接收装置射频前端的硬件连接如图 5 所示。

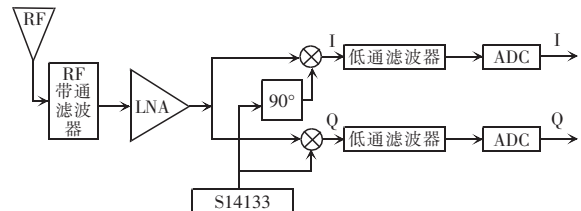


图 4 零中频架构接收机

Fig.4 Channels in the receiver with zero-IF architecture

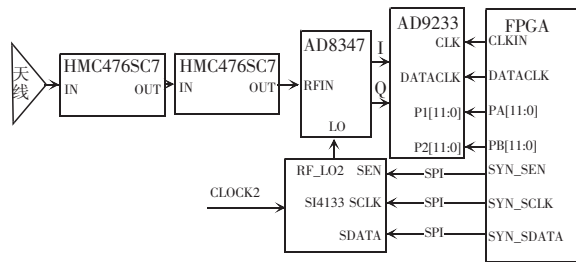


图 5 接收机射频前端的硬件连接

Fig.5 Hardware connections at the receiver's RF front-end

## 3 系统软件设计

系统采用基于 BPSK 的软件无线电开发平台<sup>[4]</sup>进行测试,此平台如图 6 所示。

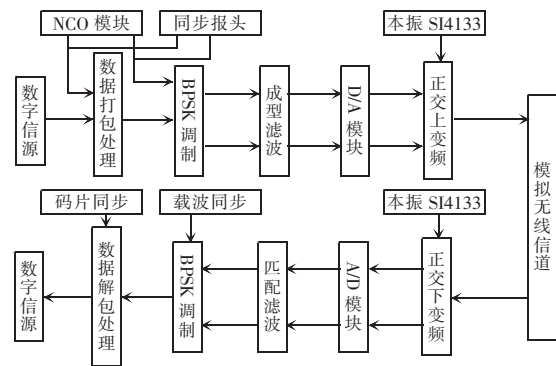


图 6 基于 BPSK 的软件无线电开发平台

Fig.6 Software radio development platform based on BPSK

该无线电平台不包含复杂的通信算法,为减小开发周期,DSP 不参与整个通信链路。将 FPGA 作为基带处理的核心芯片和整个链路的控制核心,与 A/D、正交下变频模块和智能天线等组成完整的射频接收机电路。基带信号处理部分由 FPGA 完成,其他部分由对应的硬件电路完成。FPGA 芯片的处

理过程如下。

由于传统异步串口通信方式延时较长及速度慢问题,本文采用并行通信方式来发送和接收信号。在模块化的 FPGA 设计中<sup>[5]</sup>,调用 FIFO 的 IP core 核作为并行数据收发的缓存寄存器,部分主要程序如下:

```
output [7:0] TXD;
FIFO8x2048 FIFO8x2048_UART_TXD
(
    .clock(CLK_M),
    .data(FIFO_WDATA),
    .rdreq(FIFO_RDREQ),
    .wrreq(FIFO_WRREQ),
    .empty(fifo_empty),
    .full(),
    .q(TXD)
);
assign FIFO_RDREQ = ~fifo_empty;
```

而 FPGA 通过 SPI 接口配置本振 SI4133 模块产生 1 572 MHz 的本振信号,对模拟正交下变频模块 AD8347 进行作用,如图 5 所示。顶层模块例化子模块程序如下:

```
SPI_CONFIG_MODULE
SPI_CONFIG_SI4133_CHA
(
    .clock(CLK_M),
    .reset(RESET),
    .FREQ_WORD(18'd1572),
    .SYN_SCLK(GPS_SYN_SCLK_A),
    .SYN_SEN(GPS_SYN_SEN_A),
    .SYN_SDATA(GPS_SYN_SDATA_A)
);
```

在数字信号传输中 BPSK 解调和数据解帧是基带处理的核心,而数字下变频模块作用是对来自 A/D 数字化采样的高频信号进行下变频至基带,其中 CIC 滤波器模块用于对高频采样速率进行抽取、滤波,同时获得数据解帧时的码速率(CIC\_OUT\_ENA),码速率即为每一位数据传输时的速率。而科斯塔斯环模块用于相干解调,恢复发送端发射的原始基带信号。由数字下变频模块中产生载波频率 $f_n=3\text{ MHz}$ 的控制字计算公式 $N=(f_n/(2f_s))\cdot 2^{32}$ ,得到 $N=32'h7AE147B$ 。顶层模块例化各子模块程序如下:

```
Carrier_NCO_12BIT
```

```
Carrier_NCO_12BIT_M(载波 NCO)
(
    .clock(CLK_M),
    .reset(RESET),
    .f_carrier_nco(32'h7AE147B),
    .cos_I(COS_I),
    .sin_Q(SIN_Q)
);
ComplexDDC_12BIT_C
ComplexDDC_12BIT_C_M(数字混频)
(
    .clock(CLK_M),
    .IF_I(GPS_DA_A[13:2]),
    .IF_Q(GPS_DB_A[13:2]),
    .cos_I(COS_I),
    .sin_Q(SIN_Q),
    .IOUT(DDC_OUT_I),
    .QOUT(DDC_OUT_Q)
);
CICFilter CICFilter_I(CIC 滤波、抽样)
(
    .clock(CLK_M),
    .reset(RESET),
    .data_in(DDC_OUT_I[23:8]),
    .data_out(CIC_OUT_I),
    .out_ena(CIC_OUT_ENA)
);
CICFilterCICFilter_Q
(
    .clock(CLK_M),
    .reset(RESET),
    .data_in(DDC_OUT_Q[23:8]),
    .data_out(CIC_OUT_Q),
    .out_ena()
);
```

科斯塔斯环模块用于解调出基带信号 ZF\_BIT,例化程序如下:

```
Costas_CarrierLoop Costas_CarrierLoop_M
(
    .clock(CLK_M),
    .clken(CIC_OUT_ENA),
    .reset(RESET),
    .IF_I(CIC_OUT_I),
    .IF_Q(CIC_OUT_Q),
    .ZF_BIT(ZF_BIT)
);
```

数据解帧模块对解调出的基带信号进行串并转换,通过输出端口 FIFO\_WDATA 与 FIFO 模块的

输入端口 data 相连进行数据传输,例化程序如下。

```
input ZF_BIT;
BPSK_Demodulator      BPSK_Demodulator_M
(
    .clock(CLK_M),
    .clken(CIC_OUT_ENA),
    .receive_ena(RECEIVE_ENA),
    .reset(RESET),
    .b_in(ZF_BIT),
    .fifo_data(FIFO_WDATA),
    .fifo_wrreq(FIFO_WRREQ)
);
```

## 4 测试结果

本系统时钟采样频率为  $f_s=100$  MHz,码速率为 12.5 MHz,在完成程序模块化的编程之后,通过软件 quartus II 11.0 将程序配置到 FPGA 中完成测试。由并行接口接收传输的数据,接收装置接收来自发射装置发送的数字“1”(00000001B),发射数据开关频率为 100 kHz。通过 FPGA 的通用自由 I/O 端口引出 RXD[0]、TXD[0]连接示波器,所采集的发射端和接收端的波形如图 7 所示。无线网络通信延迟是难以避免的,本实验延时  $t=12 \mu\text{s}$ ,为 1.2 个传输周期。实验验证了基于 FPGA+DSP 无线通信接收装置进行实时基带处理的可行性,满足目前并联 DC/DC 电源系统中对无线传输的要求。

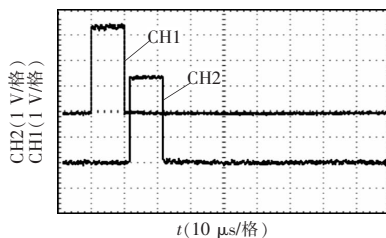


图 7 CH2 接收数字“1”(00000001B)

Fig.7 Digit “1” (00000001B) received by CH2

## 5 结语

本方案能充分利用 FPGA 与 DSP 各自的优势,与常见的无线接收模块相比,无论软件的可编程性,还是硬件平台的通用性,都能满足科研项目对

无线接收平台的要求。此外,无线接收模块在整体通信系统中至关重要,通过验证与优化的通信平台,使整个通信系统性能得到进一步的优化。

### 参考文献:

- [1] Huang Yuehui, Tse C K. Circuit theoretic classification of parallel connected DC-DC converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2007, 54 (5): 1099-1108.
- [2] 谭左红, 田增山. 基于 FPGA+DSP 的高速基带信号处理平台的设计[J]. 科学技术与工程, 2014, 14(3):239-242, 267. Tan Zuohong, Tian Zengshan. The design of FPGA+DSP-based high-speed baseband signal processing platform[J]. Science Technology and Engineering, 2014, 14 (3):239-242, 267(in Chinese).
- [3] 林杰. 2.4 GHz 接收机射频前端的研究及设计[D]. 重庆:重庆大学, 2010. Lin Jie. Study and design of radio-frequency front-end of 2.4 GHz receiver[D]. Chongqing: Chongqing University, 2010(in Chinese).
- [4] 杨小牛, 楼才义, 徐建良. 软件无线电技术与应用[M]. 北京:北京理工大学出版社, 2010.
- [5] 夏宇闻. Verilog 数字系统设计教程[M]. 3 版. 北京:北京航空航天大学出版社, 2013.
- [6] 张阿宁, 赵萍. 基于 FPGA 的正交数控振荡器 (NCO) 的设计与实现[J]. 电子设计工程, 2011, 19(17):149-151. Zhang Aning, Zhao Ping. Design and implementation of orthogonal numerical control oscillator(NCO) based on FPGA [J]. Electronic Design Engineering, 2011, 19 (17):149-151 (in Chinese).



汪涛

### 作者简介:

汪涛(1991-),男,硕士研究生,研究方向:无线通信技术装置在电力电子与功率变换中的应用,E-mail:1359672803@qq.com。

刘升(1972-),男,通信作者,硕士,副教授,研究方向:电力电子与功率变换,E-mail:cekong2014@126.com。

葛芦生(1963-),男,博士,教授,研究方向:电力电子与功率变换,E-mail:lsge@ahut.edu.cn。